

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-090348

(43)Date of publication of application : 29.03.1990

(51)Int.Cl.

G06F 12/08

(21)Application number : 63-245021

(71)Applicant : NEC CORP

(22)Date of filing : 28.09.1988

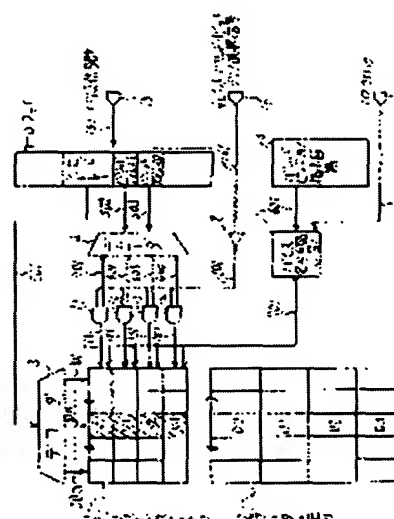
(72)Inventor : TANAKA YASUHARU

(54) CACHE MEMORY SYSTEM WITH VARIABLE DATA INVALIDATION SIZE

(57)Abstract:

PURPOSE: To improve the performance of a cache memory system by preparing a valid bit clear instruction circuit and a pulse generating circuit which produces a pulse to clear the valid bit.

CONSTITUTION: A write pulse given from a valid bit memory 1 is equal to a pulse signal 701 given from a pulse generating circuit 7. The circuit 7 works with input of a bus clock signal 171 and an instruction signal 601 given from a valid bit clear instruction circuit 6. The circuit 6 compares an external address with a tag address of a cache memory and instructs a valid bit clear operation of the corresponding data when the coincidence is secured between both addresses. An address latch 5 inputs entirely an address signal group 151 via an address signal group terminal 15. A 4-bit valid clear selection signal 801 is set at 0 through an inverter 8 when a 4-bit valid bit clear selection terminal 16 is equal to 1. Thus a valid bit can be cleared for each type in response to the rewrite byte of a main memory.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平2-90348

⑬ Int. Cl.⁵
G 06 F 12/08

識別記号 庁内整理番号
3 1 0 A 7010-5B

⑭ 公開 平成2年(1990)3月29日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 データ無効化サイズ可変なキャッシュメモリシステム

⑯ 特 願 昭63-245021

⑰ 出 願 昭63(1988)9月28日

⑱ 発 明 者 田 中 康 陽 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

データ無効化サイズ可変なキャッシュメモリシステム

特許請求の範囲

外部から与えたデータ無効化の為のアドレス・タグと照合を行ない、もし一致すれば該当するデータをそのデータに付随したバリッドビットをクリアすることによって無効化する機能を有するキャッシュシステムにおいて、データメモリを任意のサイズにバイト毎に用意したバリッドビットを含んだバリッドビットメモリと、外部からデータ無効化の為のアドレスを一時格納するラッチ又はカウンタと、該ラッチ又はカウンタからのアドレス信号の一部をデコードするデコードと、バリッドビットクリアを起動するバリッドビットクリア指示回路と、前記バリッドビットクリアの為のバースを発生する回路と、単一のバリッドビットを

クリアするか複数のバリッドビットをクリアするか選択する回路とを含むことを特徴とするデータ無効化サイズ可変なキャッシュメモリシステム。

発明の詳細な説明

〔産業上の利用分野〕

本発明はデータ無効化サイズ可変なキャッシュメモリシステムに関する。

〔従来の技術〕

従来のキャッシュメモリシステムは、格納しているデータの有効性の管理に、あるデータのサイズ毎にバリッドビットを設け、そのバリッドビットが“1”のときはデータが有効、“0”のときは無効とする方法を取っている。バリッドビットを“1”に立てる場合は、CPUからの要求に応じてメインメモリからデータをキャッシュメモリに格納した時であり、又は“0”にクリアする場合は、初期設定以外には、格納していたデータの元であるメインメモリが、他のプロセッサあるいはコントローラによって書き替えられた時であ

る。

この“0”にクリアする場合は、コマンドによって全部のバリッドビットをクリアする方法と、ブロックサイズと呼ばれる、メインメモリからキャッシュメモリへデータを格納する単位毎にクリアする方法などがある。

〔発明が解決しようとする課題〕

上述した従来のキャッシュメモリは、例えばビット率を上昇させる為にブロックサイズを16バイトにしていると、一挙に16バイトがクリアされてしまうことになる。しかし、“0”クリアする原因となったメインメモリの書き替えは、メインメモリのバスサイズが4バイトだとすると、プロセッサからはおそらく1回の書き替えは4バイトであろうし、DMAコントローラからの書き替えもバースト転送による16バイト転送などだけでは限らず、1バイトのシングル転送もあり得る。したがって、従来のように一回のメインメモリ書き替えで16バイトを一挙にクリアしてしまうのは、4バイトが1バイトのクリアで済む場合には

- 3 -

一部をデコードするデコーダと、バリッドビットクリアを起動するバリッドビットクリア指示回路と、前記バリッドビットクリアのためのパルスを発生する回路と、単一のバリッドビットをクリアするか複数のバリッドビットをクリアするか選択する回路とを含んで構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例を示すブロック図で、本発明に関係する部分のみを表わしている。バリッドビットメモリ1およびデータメモリ2は、アドレスラッチ5の一部であるセットアドレスからの信号群501がデコーダ3によってデコードされたセットアドレスデコード信号群301、…30n、…30mによってワードが選択される。このバリッドビットメモリ1の各ワードには4ビットのバリッドビット、データメモリ2には4バイトのデータから成り、バリッドビットV0、V1、V2、V3は各々データD0、D1、

- 5 -

大変効率が悪い。何故なら、一度キャッシュメモリに格納したデータは幾度となくCPUから読み出しアクセスする確率が高いので、クリアされてしまうと再びメインメモリからキャッシュメモリへデータを取りに行かなければならないからである。これはシステムの性能を低下させるという欠点がある。

本発明の目的は、メインメモリの書き替えられたデータ・サイズに応じてクリアするバリッドビットの数の指示を受け入れる機能を持ち、バリッドビットを単数もしくは複数個のクリアが選択可能なキャッシュメモリシステムを提供することにある。

〔課題を解決するための手段〕

本発明のデータ無効化サイズ可変なキャッシュメモリシステムは、データメモリを任意のサイズにバイト毎に用意したバリッドビットを含んだバリッドビットメモリと、外部からデータ無効化の為のアドレスを一時格納するラッチ又はカウンタと、該ラッチ又はカウンタからのアドレス信号の

- 4 -

D2、D3と対応する。バリッドビットメモリ1のバリッドビットクリアはラッチ5の一部であるバリッドアドレス1と0からの信号502、503がデコーダ4によってデコードされたバリッドビット信号群1401、402、403、404を基に行なわれる。

例えば、バリッドアドレス0、1が“00”の場合には信号群I401、402、403、404はそれぞれ“0”、“1”、“1”、“1”になる。NANDゲート11、12、13、14は4ビットバリッドビットクリア選択信号801によってバリッドビット信号群II111、121、131、141を制御される。

例えば、信号801が“0”のとき信号群II111、121、131、141は0、0、0、0になり、信号801が“1”のとき、信号群I401、402、403、404によって決定し、信号群IとIIはそれぞれ401、402、403、404と111、121、131、141が対応して同じ値になる。

- 6 -

バリッドビットメモリ 1 の書込みパルスは、パルス発生回路 7 からのパルス信号 7 0 1 である。パルス発生回路 7 はバスクロック信号 1 7 1 と、バリッドビットクリア指示回路 6 からの指示信号 6 0 1 を入力して行なわれる。指示回路 6 は外部からのアドレスとキャッシュメモリのタグ・アドレスとを比較し、一致したときに該当データのバリッドビットクリアを指示する回路である。アドレスラッチ 5 はアドレス信号群端子 1 5 から全アドレス信号群 1 5 1 を入力する。4 ビット・バリッドビットクリア選択信号 8 0 1 はインバータ 8 を通って、4 ビット・バリッドビットクリア選択端子 1 6 が “1” のとき “0” になる。バスクロック信号 1 7 1 はバスクロック端子 1 7 からバスクロックを入力する。

第 2 図は、選択信号 8 0 1 が “0” の場合で、アドレスラッチ 5 からの信号 5 0 2, 5 0 3 によってバリッドビットがクリアされるタイミングチャートである。信号 5 0 2, 5 0 3 が 0 0 の例で、デコーダ 4 により信号群 II 1 1 1, 1 2 1,

1 3 1, 1 4 1 は 0, 1, 1, 1 になる。クリア指示信号 6 0 1 が “1” になると、パルス信号 7 0 1 の後縁のタイミングでバリッドビット V 0, V 1, V 2, V 3 は前の状態がオール “1” だとすると、0, 1, 1, 1 になる。

第 3 図は、選択信号 8 0 1 が “1” の場合のタイミングチャートで、アドレスラッチ 5 からの信号 5 0 2, 5 0 3 に関係なく、信号群 II はオール “0” となり、クリア指示信号 6 0 1 が “1” で、パルス信号 7 0 1 の後縁のタイミングで、バリッドビットはオール “0” になる。したがって、例えば、1 バイトのキャッシュメモリ内のデータをクリアしたい時は 4 バイトバリッドビットクリア選択端子 1 6 を “0” にセットすればよいし、4 バイトのキャッシュメモリ内のデータをクリアしたい時はクリア選択端子 1 6 を “1” にセットすればよい。

第 4 図は本発明の第 2 の実施例を示す回路図で、本発明に関係する部分のみを表わしている。

第 1 の実施例との違いは、4 ビットクリアする

- 7 -

- 8 -

場合に、アドレスカウンタと、4 回分のパルスを発生する回路を有している点である。つまり、第 1 の実施例では 4 ビット同時にバリッドビットクリアを行なっているが、本実施例ではアドレスをバスクロックに同期させてカウントアップ（ラップアラウンド）させて、4 回のパルスによって順番にバリッドビットクリアを行なっている。この実施例では、クリアによる同時動作による電源ノイズが緩和されるという利点がある。

〔発明の効果〕

以上説明したように本発明は、外部から与えられたデータ無効化のためのアドレスをアドレス・タグと照合を行ない、もし一致すれば、該当するデータをそのデータに付随したバリッドビットをクリアすることによって無効化する機能を有するキャッシュシステムにおいて、データメモリを任意のサイズにバイト毎に用意したバリッドビットを含んだバリッドビットメモリと、外部からデータ無効化のためのアドレスを一時格納するラッチ又はカウンタと、該ラッチ又はカウンタからのアドレ

ス信号の一部をデコードするデコーダと、バリッドビットクリアを起動するバリッドビットクリア指示回路と、バリッドビットクリアのためのパルスを発生する回路と、単一のバリッドビットをクリアするか複数のバリッドビットをクリアするか選択する回路とから構成することにより、メインメモリの書替えバイトに応じて、バイト毎単位のバリッドビットクリアができ、キャッシュメモリシステムの性能を向上させることができる。

図面の簡単な説明

第 1 図は本発明の第 1 の実施例のブロック図、第 2 図は同じく 1 バイト単位のクリア時のタイミングチャート、第 3 図は同じく 4 バイト同時にクリア時のタイミングチャート、第 4 図は本発明の第 2 の実施例のブロック図、第 5 図は同じく 4 バイトを 4 パルスでクリアする時のタイミングチャートである。

1 … バリッドビットメモリ、2 … データメモリ、3, 4 … デコーダ、5 … ラッチ、6 … 指示

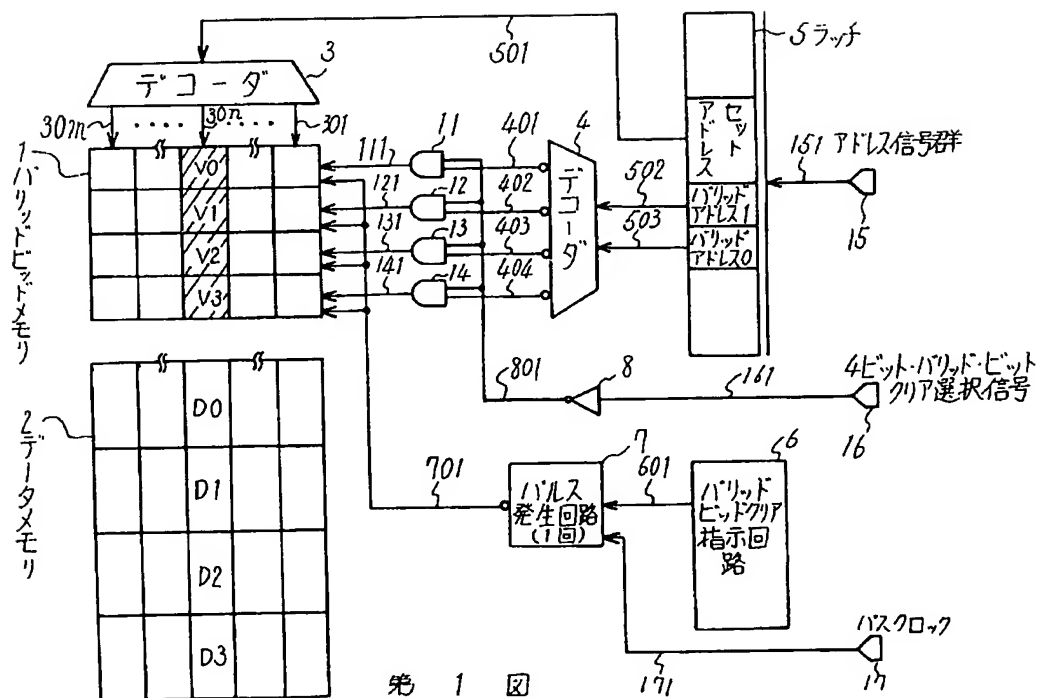
- 9 -

- 10 -

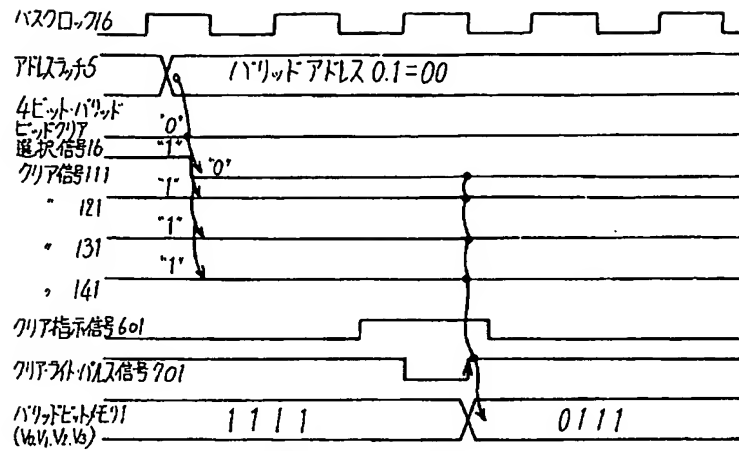
回路、7…パルス発生回路、8…インバータ、11, 12, 13, 14…ANDゲート、15, 16, 17…端子、21…パルス発生回路、22…セクタ、23…カウンタ、31, 32, 33, 34…ANDゲート、311, 321, 331, 341…パルシャルライトパルス信号、301, …30n, …30m…セットアドレスデコード信号群、401, 402, 403, 404…バリッドビット信号群I、501…セットアドレス信号群、502, 503…バリッドアドレス信号群、111, 121, 131, 141…バリッドビット信号群II、601…バリッドビットクリア指示信号、701…1回パルス信号、211…4回パルス信号、161…バスクロック信号、171…4バイトバリッドビットクリア選択信号、151…アドレス信号群。

代理人 井理士 内 原 晋

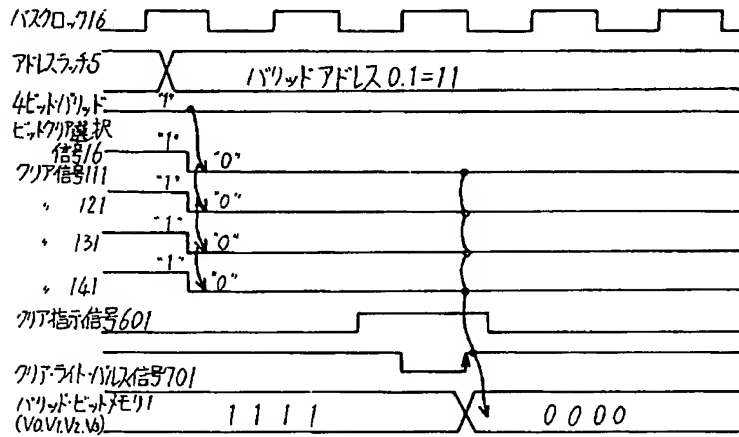
- 11 -



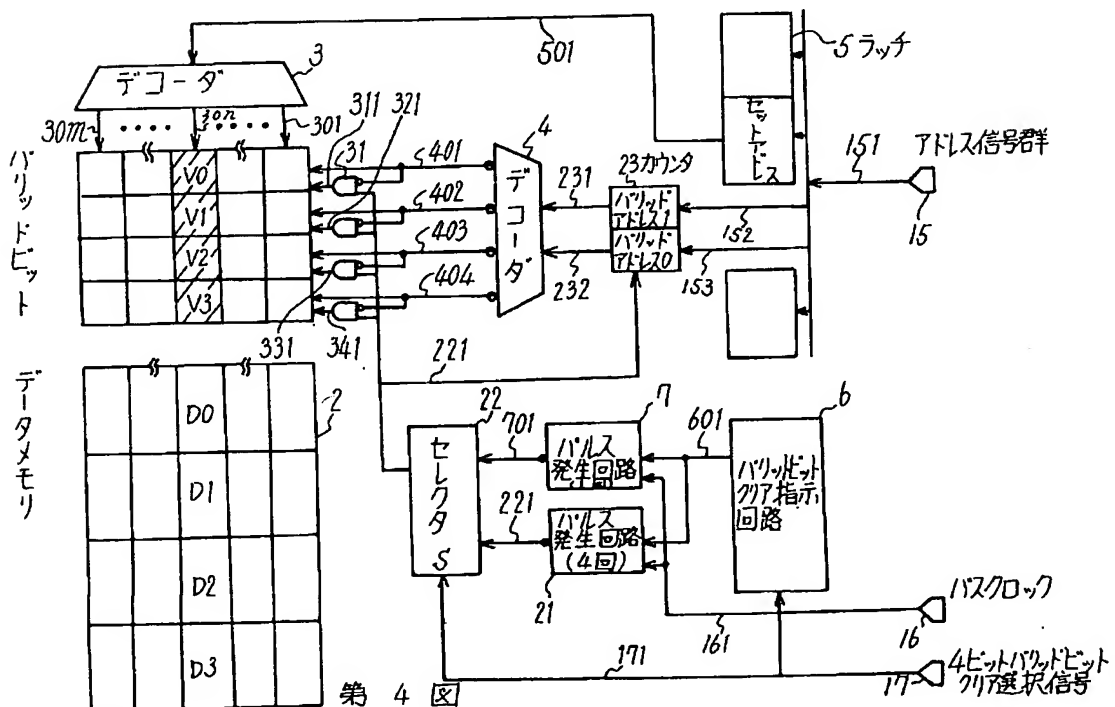
第 1 図



第 2 図



第 3 図



第 4 図

